

**WEST**☐ Generate Collection

L4: Entry 18 of 22

File: JPAB

Jan 24, 2003

PUB-NO: JP02003021115A  
DOCUMENT-IDENTIFIER: JP 2003021115 A  
TITLE: TWO-WIRE SENSOR CIRCUIT

PUBN-DATE: January 24, 2003

## INVENTOR-INFORMATION:

NAME

COUNTRY

HASHIGUCHI, KENJI

IWATA, MOTOAKI

NAKAAKI, KIYOSHI

OBA, HIROSHI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

KOGANEI CORP

HAMAMATSU KODEN KK

APPL-NO: JP2001209217

APPL-DATE: July 10, 2001

INT-CL (IPC): F15 B 15/28; G01 D 5/18; G01 R 33/02; G01 R 33/09; H03 F 3/16; H03 K 17/95

## ABSTRACT:

PROBLEM TO BE SOLVED: To provide a two-wire sensor circuit enabling stable action, decreasing size, and reducing a cost.

SOLUTION: This two-wire sensor circuit is structured by a bridge circuit 1 having MR elements 1a to 1d sensing magnetic force as four sides, an amplifier 2 amplifying a detecting signal from the bridge circuit 1, a Darlington connecting circuit 3 connected to the amplifier 2, a light emitting diode LED1 connected to the Darlington connecting circuit 3, and a constant-current circuit 4 connected to the light emitting diode LED1. The amplifier 2 is made to be a CMOS type, and the constant-current circuit 4 is structured by a field effect transistor FET1, a resistance R1, and a variable resistance VR1, thereby decreasing a voltage drop of the constant-current circuit 4 at the time of detection by the MR elements 1a to 1d, and enabling operation of the CMOS type amplifier 2 by power source voltage lower than a constant-current range of the field effect transistor FET1.

COPYRIGHT: (C) 2003, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-21115

(P2003-21115A)

(43)公開日 平成15年1月24日(2003.1.24)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
F 1 5 B 15/28		F 1 5 B 15/28	A 2 F 0 7 7
G 0 1 D 5/18		G 0 1 D 5/18	F 2 G 0 1 7
G 0 1 R 33/02		G 0 1 R 33/02	Q 3 H 0 8 1
33/09		H 0 3 F 3/16	B 5 J 0 5 0
H 0 3 F 3/16		H 0 3 K 17/95	G 5 J 0 9 2

審査請求 未請求 請求項の数 2 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願2001-209217(P2001-209217)

(22)出願日 平成13年7月10日(2001.7.10)

(71)出願人 000145611

株式会社コガネイ

東京都千代田区岩本町3丁目8番16号

(71)出願人 000236447

浜松光電株式会社

静岡県磐田郡竜洋町宮本249番地の9

(72)発明者 橋口 健二

東京都千代田区丸の内3丁目2番3号 株

式会社コガネイ内

(74)代理人 100080001

弁理士 筒井 大和 (外1名)

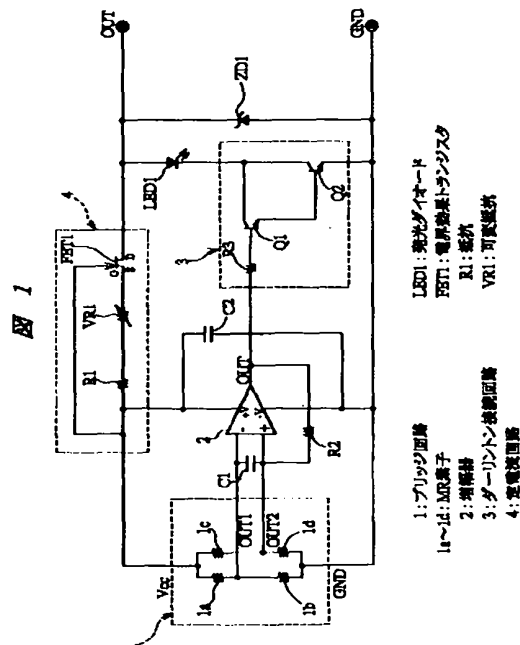
最終頁に続く

(54)【発明の名称】 2線式センサ回路

(57)【要約】

【課題】 安定した動作を可能とし、小型化とコスト低減を実現することができる2線式センサ回路を提供する。

【解決手段】 磁力に感応されるMR素子1a~1dを4辺とするブリッジ回路1と、このブリッジ回路1からの検出信号を増幅する増幅器2と、この増幅器2に接続されるダーリントン接続回路3と、このダーリントン接続回路3に接続される発光ダイオードLED1と、この発光ダイオードLED1に接続される定電流回路4などから構成される2線式センサ回路であって、増幅器2をCMOS型とし、定電流回路4を電界効果トランジスタFET1、抵抗R1および可変抵抗VR1から構成することにより、MR素子1a~1dによる検出時に定電流回路4の電圧降下を小さくして、電界効果トランジスタFET1の定電流領域より低い電源電圧でCMOS型の増幅器2の動作を可能とする。



## 【特許請求の範囲】

【請求項1】 検出素子によるブリッジ回路からの検出信号を増幅器を通して出力する信号端子およびコモン端子を備え、流体圧作動機器の位置検出に用いる2線式センサ回路であって、

前記増幅器の出力端子にベース端子が接続されるダーリントン接続回路と、該ダーリントン接続回路のコレクタ端子にカソード端子が接続される発光ダイオードと、該発光ダイオードのアノード端子にドレイン端子が接続される電界効果トランジスタと、該電界効果トランジスタのソースゲート端子間に接続される抵抗とを備え、前記電界効果トランジスタのドレイン端子を前記信号端子に接続すると共に、前記ダーリントン接続回路のエミッタ端子を前記コモン端子に接続し、前記電界効果トランジスタのゲート端子および前記ダーリントン接続回路のエミッタ端子を前記ブリッジ回路間に接続して該ブリッジ回路に対して回路電圧を印加して前記検出素子による検出を可能とし、

前記増幅器はCMOS型からなり、

前記電界効果トランジスタおよび前記抵抗は、前記検出素子による検出時に電圧降下を小さくして前記電界効果トランジスタの定電流領域より低い電源電圧で前記CMOS型の増幅器を動作可能とする定電流回路として構成されることを特徴とする2線式センサ回路。

【請求項2】 検出素子によるブリッジ回路からの検出信号を増幅器を通して出力する信号端子およびコモン端子を備え、流体圧作動機器の位置検出に用いる2線式センサ回路であって、

前記増幅器の出力端子にベース端子が接続されるダーリントン接続回路と、該ダーリントン接続回路のコレクタ端子にカソード端子が接続される発光ダイオードと、該発光ダイオードのアノード端子にドレイン端子が接続される電界効果トランジスタと、該電界効果トランジスタのソースゲート端子間に接続される抵抗と、前記発光ダイオードのアノード端子にベース端子が接続され、前記電界効果トランジスタのゲート端子、ドレイン端子にコレクタ端子、エミッタ端子がそれぞれ接続されるトランジスタとを備え、前記電界効果トランジスタのドレイン端子を前記信号端子に接続すると共に、前記ダーリントン接続回路のエミッタ端子を前記コモン端子に接続し、前記電界効果トランジスタのゲート端子および前記ダーリントン接続回路のエミッタ端子を前記ブリッジ回路間に接続して該ブリッジ回路に対して回路電圧を印加して前記検出素子による検出を可能とし、

前記増幅器はCMOS型からなり、

前記電界効果トランジスタおよび前記抵抗は、定電流回路として構成され、

前記トランジスタは、前記電界効果トランジスタの電流特性に依存することなく、前記検出素子による検出時に電圧降下を小さくして前記CMOS型の増幅器を動作可

能とするスイッチング回路として構成されることを特徴とする2線式センサ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、2線式のセンサ回路技術に関し、特にシリンダなどの流体圧作動機器の位置検出装置として、小型化とコスト低減に良好な2線式センサ回路に適用して有効な技術に関する。

## 【0002】

【従来の技術】従来、流体圧作動機器の位置検出装置においては、小形化と共に短絡保護回路などの付加機能を入れるため、モノリシックICを使用したタイプと、汎用センサICとSMD（サーフェイス・マウント・デバイス）構成をした単機能のセンサがある。

【0003】たとえば、後者の例としては、本発明者が以前に提案した実用新案登録第2606494号公報に記載される技術などが挙げられる。この公報の技術は、図13に示すように、MR素子1a～1dを4辺とするブリッジ回路1、このブリッジ回路1からの検出信号を増幅する増幅器2や、ダーリントン接続回路3、発光ダイオードLED、定電流回路4のトランジスタQおよび定電流ダイオードIDなどからなり、トランジスタQのエミッタ端子が信号端子OUTに接続されると共に、ダーリントン接続回路3のエミッタ端子がコモン端子GNDに接続されて構成されている。

## 【0004】

【発明が解決しようとする課題】ところで、前記のような実用新案登録第2606494号公報に記載の技術に関して、本発明者は、近年の流体圧作動機器、およびこの流体圧作動機器の位置検出装置の小型化およびコスト低減の要求に着目して、以下のような改善策を検討した。

【0005】たとえば、前記公報に記載の技術において、消費電力の低減および電源電圧の低電圧化を図るために、増幅器をCMOS型にすることが考えられる。この場合、前記図13のようなトランジスタおよび定電流ダイオードからなる定電流回路では内部抵抗が大きく、この内部抵抗による電圧降下も大きくなることから増幅器が動作しなくなるという問題が発生することが考えられる。

【0006】そこで、本発明者は、定電流回路の内部抵抗を小さくする回路構成として、定電流ダイオードを用いずに、電界効果トランジスタを使用した回路構成とすることで、この定電流回路の内部抵抗を小さくし、増幅器をCMOS型にした場合でも、低い電源電圧でセンサ回路が動作可能となることを考えついた。

【0007】そこで、本発明の目的は、増幅器をCMOS型にし、電界効果トランジスタを使用した定電流回路による回路構成とすることで、安定した動作を可能とし、小型化とコスト低減を実現することができる2線式

センサ回路を提供することにある。

【0008】

【課題を解決するための手段】本発明は、前記目的を達成するために、検出素子によるブリッジ回路、増幅器、ダーリントン接続回路、発光ダイオード、電界効果トランジスタ、抵抗などからなる2線式センサ回路の構成において、増幅器はCMOS型からなり、電界効果トランジスタおよび抵抗は、検出素子による検出時に電圧降下を小さくして電界効果トランジスタの定電流領域より低い電源電圧でCMOS型の増幅器を動作可能とする定電流回路として構成されるものである。

【0009】また、本発明の他の2線式センサ回路は、検出素子によるブリッジ回路、増幅器、ダーリントン接続回路、発光ダイオード、電界効果トランジスタ、抵抗、トランジスタなどからなる構成において、増幅器はCMOS型からなり、電界効果トランジスタおよび抵抗は定電流回路として構成され、トランジスタは、電界効果トランジスタの電流特性に依存することなく、検出素子による検出時に電圧降下を小さくしてCMOS型の増幅器を動作可能とするスイッチング回路として構成されるものである。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有する構成要素には同一の符号を付し、その繰り返しの説明は省略する。

【0011】（実施の形態1）まず、図1により、本発明の実施の形態1の2線式センサ回路の構成の一例を説明する。図1は本実施の形態の2線式センサ回路を示す回路図である。

【0012】本実施の形態の2線式センサ回路は、たとえば検出素子によるブリッジ回路からの検出信号を増幅器を通して出力する信号端子およびコモン端子を備えた2線式センサとされ、磁力に感応されるMR素子1a～1dを4辺とするブリッジ回路1と、このブリッジ回路1からの検出信号を増幅する増幅器2と、この増幅器2に接続されるダーリントン接続回路3と、このダーリントン接続回路3に接続される発光ダイオードLED1と、この発光ダイオードLED1に接続される定電流回路4などから構成されている。

【0013】ブリッジ回路1は、各辺に検出素子であるMR素子1a～1dが接続された4辺のブリッジ構造からなり、MR素子1aとMR素子1cの交点が電源電圧Vcc、MR素子1bとMR素子1dの交点が接地電圧GNDにそれぞれ接続されている。また、MR素子1aとMR素子1bの交点が出力端子OUT1、MR素子1cとMR素子1dの交点が出力端子OUT2にそれぞれ接続され、この出力端子OUT1および出力端子OUT2から増幅器2に接続されている。

【0014】増幅器2は、PMOSTランジスタとNM

OSTランジスタによるCMOS型からなり、たとえば正入力端子(+)、負入力端子(-)、出力端子(OUT)、電源端子(+V)、接地端子(-V)が設けられている。そして、正入力端子(+)および負入力端子(-)は、ブリッジ回路1の出力端子OUT2、出力端子OUT1にそれぞれ接続され、この正入力端子(+)と負入力端子(-)との間にコンデンサC1が接続されている。また、出力端子(OUT)は、ダーリントン接続回路3に接続され、この出力端子(OUT)と正入力端子(+)との間に抵抗R2が接続されている。さらに、電源端子(+V)および接地端子(-V)は、電源電圧Vcc、接地電圧GNDにそれぞれ接続され、この電源端子(+V)と接地端子(-V)との間にコンデンサC2が接続されている。

【0015】ダーリントン接続回路3は、極性が同じ複数のトランジスタを直結して、見掛け上、特性の優れた1個のトランジスタとする回路であり、ブリッジ回路1による検出時にON状態、非検出時にOFF状態となり、たとえば2個のNPN形トランジスタQ1、Q2および抵抗R3から構成され、初段のNPN形トランジスタQ1のベース端子に抵抗R3が接続され、このNPN形トランジスタQ1のエミッタ端子と終段のNPN形トランジスタQ2のベース端子が接続され、このNPN形トランジスタQ1、Q2のコレクタ端子間が接続されている。そして、初段のNPN形トランジスタQ1のベース端子が抵抗R3を介して増幅器2に接続され、終段のNPN形トランジスタQ2のエミッタ端子がコモン端子GNDに接続され、かつ両方のNPN形トランジスタQ1、Q2のコレクタ端子が発光ダイオードLED1に接続されている。

【0016】発光ダイオードLED1は、検出時にダーリントン接続回路3のON状態により点灯し、非検出時にダーリントン接続回路3のOFF状態で消灯する表示灯であり、カソード端子がダーリントン接続回路3に接続され、アノード端子が定電流回路4に接続されている。

【0017】定電流回路4は、MR素子1a～1dによる検出時に電圧降下を小さくして定電流領域より低い電源電圧でCMOS型の増幅器2を動作可能とする回路であり、たとえば電界効果トランジスタFET1、抵抗R1および可変抵抗VR1から構成され、電界効果トランジスタFET1のソース端子が可変抵抗VR1の一端に、この可変抵抗VR1の他端が抵抗R1の一端に、この抵抗R1の他端が電界効果トランジスタFET1のゲート端子にそれぞれ接続されている。そして、電界効果トランジスタFET1のドレイン端子が発光ダイオードLED1に接続され、またゲート端子がブリッジ回路1の電源電圧Vcc側に接続されている。

【0018】以上のように構成される2線式センサ回路は、定電流回路4の電界効果トランジスタFET1のド

レイン端子が信号端子OUTに接続されると共に、ダーリントン接続回路3のエミッタ端子がコモン端子GNDに接続され、電界効果トランジスタFET1のゲート端子およびダーリントン接続回路3のエミッタ端子がブリッジ回路1の電源電圧Vccと接地電圧GNDの間に接続され、このブリッジ回路1に対して回路電圧が印加されてMR素子1a~1dによる検出が可能となっている。なお、この2線式センサ回路においては、外部雑音による補償のため、信号端子OUTとコモン端子GNDとの間にサージ電圧対策用の定電圧ダイオードZD1が接続されている。

【0019】そして、この2線式センサ回路の構成部品は、汎用SMD部品を用いて図示しないプリント基板上に実装され、さらにケース内に内蔵されて2線式センサの位置検出装置として、たとえば空気圧シリンダなどの流体圧作動機器の外面に設けられた取付溝に嵌合されて取り付けられ、空気圧シリンダのストローク端の位置検出に用いられる。

【0020】次に、図2~図5により、本実施の形態の2線式センサ回路の特徴の一例を説明する。図2は電界効果トランジスタのドレイン電流 $I_D$ -ゲート・ソース電圧 $V_{GS}$ の特性図、図3はドレイン電流 $I_D$ -ドレイン・ソース電圧 $V_{DS}$ の特性図、図4は定電流回路の回路図、図5はドレイン電流 $I_D$ -ドレイン・ソース電圧 $V_{DS}$ の特性図をそれぞれ示す。

【0021】(1) CMOS型の増幅器

本実施の形態の2線式センサ回路では、増幅器2にCMOS型を使用しているため、低い電圧でも動作でき、ブリッジ回路1のMR素子1a~1dと増幅器2による消費電流が低くなる。たとえば一例として、MR素子1a~1dの抵抗値 $=8k\Omega$ 、増幅器2の消費電流 $=0.082mA$ 、電源電圧 $V_{CC}=1.8V$ のとき、 $1.8V \div 8k\Omega + 0.082mA = 0.3mA$ の消費電流となる。また、電界効果トランジスタFET1として、 $I_{DSS}$ の小さい物を選別して使うことにより、定電流回路4による電圧降下も小さくなる。たとえば一例として、 $I_{DSS}=1mA$ 、 $I_D=0.3mA$ のときに、図2より $V_{GS}=0.2V$ 、図3で定電流領域の最低電圧は $V_{DS}=0.5V$ より、 $0.2+0.5=0.7V$ の電圧降下となる。よって、2線式センサ回路がONのとき、本発明の前提となる前述した図13の定電流回路のように、定電流ダイオード1DによりトランジスタQをバイパスしなくても、増幅器2を動作させることができる。

【0022】また、本発明の前提となる定電流回路のトランジスタQを削除することにより、2線式センサ回路の電源電圧Vcc-接地電圧GND間の電圧はトランジスタQ1の $V_{DS}$ 電圧の分だけ低くなるが、前記と同じ理由により問題がない。

【0023】さらに、定電流領域より低い電圧でも、本発明の前提となる定電流回路の定電流ダイオード1Dよ

り、本実施の形態の定電流回路4の内部抵抗の方が小さく、電圧降下が少なくなるので、増幅器2を安定して動作させることができる。たとえば一例として、定電流回路4の内部抵抗は、 $0.7 \div 0.3 = 2.3k\Omega$ となる。

【0024】(2) 電界効果トランジスタを使用した定電流回路

図4において、たとえば一例として、電界効果トランジスタFET1のドレイン・ソース電圧 $V_{DS}$ が $2.5V$ のとき、ドレイン電流 $I_D$ を $0.3mA$ だけ流す場合、抵抗 $R1$ と可変抵抗 $VR1$ の両端の電圧、すなわちゲート・ソース電圧 $V_{GS}$ を $0.2V$ として、抵抗 $R1$ +可変抵抗 $VR1$ を $0.2 \div 0.3 = 660\Omega$ に設定する。

【0025】この状態で、ドレイン電流 $I_D$ が増加すると、抵抗 $R1$ +可変抵抗 $VR1$ の電圧降下が大きくなり、ゲート・ソース電圧 $V_{GS}$ が大きくなるのでドレイン電流 $I_D$ が減少する。そして、ドレイン電流 $I_D$ が減少すると、抵抗 $R1$ +可変抵抗 $VR1$ の電圧降下が小さくなり、ゲート・ソース電圧 $V_{GS}$ が小さくなるのでドレイン電流 $I_D$ が増加する。

【0026】これにより、定電流特性が得られる。よって、電界効果トランジスタFET1のドレイン・ソース電圧 $V_{DS}$ が変化しても、図5のように、ドレイン・ソース電圧 $V_{DS} > 2.5V$ でドレイン電流 $I_D$ の変化は $0.2mA$ の範囲で一定である。

【0027】(3) 定電流回路の基板占有面積比較

本発明の前提となる定電流回路の定電流ダイオード1Dは、たとえば一例として $3.5 \times 1.35 \approx 4.7mm^2$ であり、これに対して本実施の形態の電界効果トランジスタFET1を使用した定電流回路は、たとえば一例として $1.6 \times 1.6 (FET1) + 0.6 \times 0.3 (R1) + 1.0 \times 0.5 (VR1) \approx 2.7mm^2$ となり、本実施の形態の定電流回路4により、現状の57% ( $2.4 \div 4.7$ ) の小ささとなる。

【0028】以上のように、本実施の形態の2線式センサ回路においては、①消費電力を下げること、②内部降下電圧を下げること、③コストダウンを図ること、④小型化を図ることを目的に、①消費電力を下げるためにCMOS型の増幅器2を利用し、②内部降下電圧を下げるために電界効果トランジスタFET1などから構成する定電流回路4を採用し、③コストダウンを図るために本発明の前提となる前述した図13のトランジスタなどからなるスイッチング回路を削除し、④小型化を図るために電界効果トランジスタFET1などから構成する定電流回路4を採用した、ことを特徴とするものである。

【0029】すなわち、本実施の形態では、消費電力を下げるために利用した増幅器2がCMOS型のため、電源電圧を高くできない。その問題点に対して、電界効果トランジスタFET1などから構成する定電流回路4を採用して対策している。また、内部降下電圧を下げるた

めには、増幅器2の電源電圧が低くなる。その問題点に対して、電界効果トランジスタFET1などから構成する定電流回路4を採用して対策している。さらに、この電界効果トランジスタFET1などから構成する定電流回路4を採用すると、内部抵抗が小さいので、本発明の前提となるトランジスタなどからなるスイッチング回路を削除することができる。また、本発明の前提となる定電流回路の大きな定電流ダイオードIDに対して、超小型部品の電界効果トランジスタFET1を採用しているので、小型化を図ることができる。

【0030】次に、図6～図11により、本実施の形態の2線式センサ回路の設計の一例を説明する。図6は2線式センサ回路の設計の説明図、図7はNPN型トランジスタの $h_{FE}$ の説明図、図8は $V_{BE}$ の説明図、図9は発光ダイオードの $V_F$ の説明図、図10は定電流回路の $V_{GS}$ の説明図、図11は設計結果をまとめた説明図をそれぞれ示す。

$$V_{IC0} = R3 \times I_{C2} / (h_{FE1} \times h_{FE2}) + V_{BE1} + V_{BE2} \dots \text{式(4)}$$

①. 温度 $=-10^{\circ}\text{C}$ で、 $I_{C2}=20\text{mA}$ のとき、後述する(2)の抵抗 $R3$ の計算から、 $R3=100\text{k}\Omega$ とす※20

$$V_{IC0} = 100 \times 10^3 \times 20 \times 10^{-3} / (93.3 \times 154) + 0.94 + 0.97 \approx 2.05 \text{ (V)}$$

となる。

★き、

【0034】②. 温度 $=-10^{\circ}\text{C}$ で、 $I_{C2}=4\text{mA}$ のと★

$$V_{IC0} = 36 \times 10^3 \times 4 \times 10^{-3} / (93.3 \times 136) + 0.94 + 0.94 \approx 1.89 \text{ (V)}$$

となる。

☆き、

【0035】③. 温度 $=70^{\circ}\text{C}$ で、 $I_{C2}=4\text{mA}$ のと ☆

$$V_{IC0} = 36 \times 10^3 \times 4 \times 10^{-3} / (159 \times 192) + 0.62 + 0.62 \approx 1.24 \text{ (V)}$$

となる。

◆2.1 (v) となる。

【0036】よって、温度 $=-10^{\circ}\text{C}$ 、 $I_{C2}=20\text{mA}$ のときに $V_{IC0}$ が最大値となり、このときの必要な電源電圧 $V_{CC}$ は、 $V_{CC}=V_{IC0}+0.05$ で、 $V_{CC}=$  ◆

$$R3 \times I_{C2} / (h_{FE1} \times h_{FE2}) = V_{IC0} - V_{BE1} - V_{BE2}$$

$$R3 = h_{FE1} \times h_{FE2} \times (V_{IC0} - V_{BE1} - V_{BE2}) / I_{C2}$$

温度 $=-10^{\circ}\text{C}$ で、 $I_{C2}=20\text{mA}$ のとき、 $V_{IC0}=2\text{V}$ とすると、

$$R3 = 93.3 \times 154 \times (2 - 0.97 - 0.94) / 0.02 = 64656.9$$

となり、抵抗 $R3=100\text{k}\Omega$ とする。

40 \* このときの増幅器2のシンク電流の最大値は、温度 $=-10^{\circ}\text{C}$ 、 $I_{C2}=20\text{mA}$ で、

【0038】(3) 2線式センサ回路の動作範囲外 (NPN型トランジスタQ1、Q2のOFF時) \*

$$I_{B1} = 20 \times 10^{-3} / (93.3 \times 154) \approx 1.4 \times 10^{-6} \text{ (A)}$$

このとき、増幅器2のLowレベル出力電圧は0Vの近くとなるため、NPN型トランジスタQ1、Q2はOFFとなる。

※【0040】内部降下電圧 $V_D$ は、

$$V_D = V_F + V_{BE2}$$

となる。

【0039】(4) 内部降下電圧の計算 (NPN型トランジスタQ2のON時)

【0041】①. 温度 $=-10^{\circ}\text{C}$ で、 $I_{C2}=20\text{mA}$ のとき、

この際に、発光ダイオードLED1の $V_F$ はデータシートより図9の値を用いる。

$$V_D = 2.23 + 0.97 = 3.2 \text{ (v)}$$

※50 となる。

\*【0031】本実施の形態においては、たとえば一例として、図6において、ブリッジ回路1のMR素子1a～1dの抵抗 $R_{MR}=8\text{k}\Omega$ 、電源電圧 $V_{CC}=10\sim 28\text{V}$ 、負荷電流 $=4\sim 20\text{mA}$ 、漏れ電流 $=1\text{mA}$ 以下とする。

【0032】(1) 増幅器の出力電圧の計算

2線式センサ回路の動作範囲内、NPN型トランジスタQ1、Q2のON時、増幅器2の出力電圧の最低値を計算する。この際に、NPN型トランジスタQ1、Q2の $h_{FE}$ はデータシートより図7、 $V_{BE}$ は図8の値をそれぞれ用いる。

【0033】

$$V_{IC0} = V_{R3} + V_{BE1} + V_{BE2} \dots \text{式(1)}$$

$$V_{R3} = R3 \times I_{B1} \dots \text{式(2)}$$

$$I_{C2} = h_{FE1} \times h_{FE2} \times I_{B1}$$

$$I_{B1} = I_{C2} / (h_{FE1} \times h_{FE2}) \dots \text{式(3)}$$

式(1)に式(2)、式(3)を代入して、

【0042】②. 温度=-10℃で、 $I_{c2}=4\text{mA}$ のとき、

$$V_D = 1.93 + 0.94 = 2.87 (\text{V})$$

となる。

【0043】③. 温度=70℃で、 $I_{c2}=4\text{mA}$ のとき、

$$V_D = 1.81 + 0.62 = 2.43 (\text{V})$$

となる。

【0044】(5) 定電流回路の検討

電源電圧 $V_{cc}=2.1\text{V}$ とすると、ブリッジ回路1のMR素子1a~1dに流す電流値 $I_{MR}$ は、

$$I_{MR} = V_{cc} / R_{MR} = 2.1 / 8000 = 0.26\text{mA}$$

増幅器2の回路電流は0.2mAであるので、定電流回路4により作る電流(ドレイン電流) $I_D$ は、

$$I_D = 0.26 + 0.2 = 0.46\text{mA}$$

となる。

【0045】このときの $V_{GS}$ を求める。この $V_{GS}$ は、図10ようになる。

【0046】よって、 $V_{GS}$ は0.15~0.84Vまで変化するので、この電圧になるように抵抗 $R_1$ +可変抵抗 $VR_1$ をトリミングする必要がある。

【0047】 $R_1 + VR_1 = R_s$ とすると、

$$\text{最小は、} R_s = 0.15 / 0.46 \times 10^{-3} \approx 326\Omega$$

$$\text{または} \approx 330\Omega$$

$$\text{平均は、} R_s = 0.54 / 0.46 \times 10^{-3} \approx 1.17\text{k}\Omega$$

$$\text{最大は、} R_s = 0.84 / 0.46 \times 10^{-3} \approx 1.83\text{k}\Omega$$

となる。

【0048】(6) 結果

図11において、①のように、 $I_{DSS}=5\text{mA}$ の電界効果トランジスタFET1で、定電流回路4での電圧降下は実測値で、0.5V程度である。よって、前記(4)の③のように内部降下電圧が低い場合でも、 $2.43 - 0.5 = 1.93\text{V}$ となり、増幅器2の電源電圧は確保される。さらに、②のように、前記のような温度範囲、負荷電流で、 $V_{cc} - 0.05 > V_{ico}$ となるので、NPN型トランジスタQ1、Q2を動作させることができる。また、③の場合、内部降下電圧は、70℃、4mAの2.43Vより高い電圧となり、 $V_{ico}$ は-10℃、20mAの2.05Vより低くなるので問題がない。

【0049】以上のようにして、ブリッジ回路1のMR素子1a~1d、増幅器2、発光ダイオードLED1、NPN型トランジスタQ1、Q2、電界効果トランジスタFET1、抵抗 $R_1$ 、可変抵抗 $VR_1$ などの各回路構成部品の種類および値などが計算され、これに最適な各部品を選定することで2線式センサ回路を設計することができる。

【0050】従って、本実施の形態の2線式センサ回路によれば、増幅器2をCMOS型とし、定電流回路4を

電界効果トランジスタFET1、抵抗 $R_1$ および可変抵抗 $VR_1$ から構成することにより、MR素子1a~1dによる検出時に定電流回路4の電圧降下を小さくして、電界効果トランジスタFET1の定電流領域より低い電源電圧でCMOS型の増幅器2を動作させることができる。さらに、増幅器2を安定して動作させることができるので、スイッチング時の誤動作をなくすことも可能となる。

【0051】また、本発明の前提となる2線式センサ回路に比べて、小さい部品を使用することができるので、部品の小型化により2線式センサ回路を小型化することができる。さらに、部品点数を減らすことができるので、部品点数の削減によるコストダウンを図ることも可能となる。

【0052】(実施の形態2) 図12により、本発明の実施の形態2の2線式センサ回路の構成の一例を説明する。図12は本実施の形態の2線式センサ回路を示す回路図である。

【0053】本実施の形態の2線式センサ回路は、前記実施の形態1と同様に、たとえば検出素子によるブリッジ回路からの検出信号を増幅器を通して出力する信号端子およびコモン端子を備えた2線式センサとされ、前記実施の形態1との相違点は、定電流回路の電界効果トランジスタの電流特性に依存することなく、検出素子による検出時に電圧降下を小さくしてCMOS型の増幅器を動作可能とするスイッチング回路を追加した点である。なお、本実施の形態では、前記実施の形態1と同一機能を有する構成要素については説明を省略する。

【0054】すなわち、本実施の形態の2線式センサ回路は、磁力に感応されるMR素子1a~1dを4辺とするブリッジ回路1と、このブリッジ回路1からの検出信号を増幅する増幅器2と、この増幅器2に接続されるダーリントン接続回路3と、このダーリントン接続回路3に接続される発光ダイオードLED1と、この発光ダイオードLED1に接続される定電流回路4と、発光ダイオードLED1と定電流回路4に接続されるスイッチング回路5などから構成されている。

【0055】特に、本実施の形態においては、①電界効果トランジスタの選別を避けること、②定電流回路の内部抵抗を下げることを目的に、①電界効果トランジスタの選別を避け、かつ②定電流回路の内部抵抗を下げるためにスイッチング回路5を採用した、ことを特徴とするものである。

【0056】スイッチング回路5は、定電流回路4の電界効果トランジスタFET1の電流特性に依存することなく、MR素子1a~1dによる検出時に電圧降下を小さくしてCMOS型の増幅器2を動作可能とする回路であり、たとえばPNP形トランジスタQ3および抵抗 $R_4$ から構成され、PNP形トランジスタQ3のベース端子が抵抗 $R_4$ の一端に、この抵抗 $R_4$ の他端がPNP形

トランジスタQ3のエミッタ端子にそれぞれ接続されている。そして、PNP形トランジスタQ3のベース端子が発光ダイオードLED1のアノード端子に接続され、またコレクタ端子が電界効果トランジスタFET1のゲート端子に、エミッタ端子が電界効果トランジスタFET1のドレイン端子にそれぞれ接続されている。

【0057】さらに、本実施の形態では、定電流回路4が電界効果トランジスタFET1および可変抵抗VR1から構成され、電界効果トランジスタFET1は、MR素子1a~1dによる検出時に定電流回路4の内部抵抗を下げることが可能なスイッチング回路5を追加することで、前記実施の形態1のように $I_{DSS}$ の小さい物を使う必要がないため、この電界効果トランジスタFET1を使用する際の選別を避けることができる。さらに、コンデンサC2と抵抗R1によりフィルタ回路を構成することで、回路の発振現象を防ぐことができる。すなわち、MR素子1a~1dによる検出のタイミングで、電源電圧変動により増幅器2の出力が異常動作する要因に対しても、フィルタ回路によって電源電圧変動を抑えることにより、発振対策を盛り込むことができる。さらに、増幅器2の電源端子(+V)と接地端子(-V)との間に定電圧ダイオードZD2を接続することで、増幅器2の電源電圧の上昇に対して対策することができる。

【0058】従って、本実施の形態の2線式センサ回路によれば、増幅器2をCMOS型とし、定電流回路4を電界効果トランジスタFET1などから構成し、PNP形トランジスタQ3などからなるスイッチング回路5を追加することにより、定電流回路4の電界効果トランジスタFET1の電流特性に依存することなく、MR素子1a~1dによる検出時に電圧降下を小さくしてCMOS型の増幅器2を動作させることができる。さらに、回路の発振対策も盛り込むことにより、より一層、増幅器2を安定して動作させることができるので、スイッチング時の誤動作をなくすことも可能となる。

【0059】また、前記実施の形態1と同様に、本発明の前提となる2線式センサ回路に比べて、小さい部品を使用することができるので、部品の小型化により2線式センサ回路を小型化することができる。さらに、部品点数を減らすことができるので、部品点数の削減によるコストダウンを図ることも可能となる。

【0060】なお、前記実施の形態1においては、空気圧シリンダの位置検出に用いられる2線式センサ回路に適用した場合について説明したが、これに限定されるものではなく、たとえば油圧シリンダや、ロータリアクチュエータなどの他の流体圧作動機器の位置検出装置、さらに検出機能が必要とされる他の装置のセンサ回路としても広く適用することができる。

【0061】

【発明の効果】以上説明したように、本発明の2線式センサ回路によれば、電界効果トランジスタを使用した定

電流回路を構成することで、この定電流回路の電圧降下を下げるができるので、CMOS型の増幅器を安定して動作させることが可能となる。さらに、部品点数を削減し、また使用部品を小型化することができるので、小型化とコスト低減を図ることが可能となる。この結果、2線式センサ回路の安定した動作を可能とし、小型化およびコスト低減を実現することが可能となる。

【0062】さらに、本発明の他の2線式センサ回路によれば、回路の発振対策も盛り込むことで、より一層、増幅器を安定して動作させることができるので、スイッチング時の誤動作をなくすことも可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の2線式センサ回路を示す回路図である。

【図2】本発明の実施の形態1の2線式センサ回路において、電界効果トランジスタのドレイン電流 $I_D$ -ゲート・ソース電圧 $V_{GS}$ を示す特性図である。

【図3】本発明の実施の形態1の2線式センサ回路において、電界効果トランジスタのドレイン電流 $I_D$ -ドレイン・ソース電圧 $V_{DS}$ を示す特性図である。

【図4】本発明の実施の形態1の2線式センサ回路において、定電流回路を示す回路図である。

【図5】本発明の実施の形態1の2線式センサ回路において、電界効果トランジスタのドレイン電流 $I_D$ -ドレイン・ソース電圧 $V_{DS}$ を示す特性図である。

【図6】本発明の実施の形態1の2線式センサ回路の設計を説明するための回路図である。

【図7】本発明の実施の形態1の2線式センサ回路の設計において、NPN型トランジスタの $h_{FE}$ を示す説明図である。

【図8】本発明の実施の形態1の2線式センサ回路の設計において、NPN型トランジスタの $V_{BE}$ を示す説明図である。

【図9】本発明の実施の形態1の2線式センサ回路の設計において、発光ダイオードの $V_F$ を示す説明図である。

【図10】本発明の実施の形態1の2線式センサ回路の設計において、定電流回路の $V_{GS}$ を示す説明図である。

【図11】本発明の実施の形態1の2線式センサ回路の設計結果のまとめを示す説明図である。

【図12】本発明の実施の形態2の2線式センサ回路を示す回路図である。

【図13】本発明の前提となる2線式センサ回路を示す回路図である。

【符号の説明】

- 1 ブリッジ回路
- 1a~1d MR素子
- 2 増幅器
- 3 ダーリントン接続回路
- 4 定電流回路



## 5 スイッチング回路

LED1 発光ダイオード

C1, C2 コンデンサ

R1, R2, R3, R4 抵抗

Q1, Q2 NPN形トランジスタ

Q3 PNP形トランジスタ

FET1 電界効果トランジスタ

VR1 可変抵抗

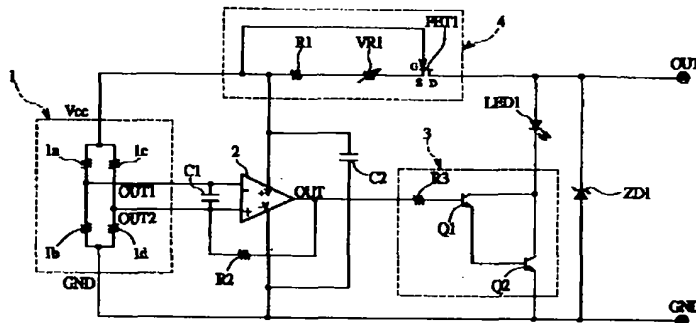
ZD1, ZD2 定電圧ダイオード

OUT 信号端子

GND コモン端子

【図1】

図 1

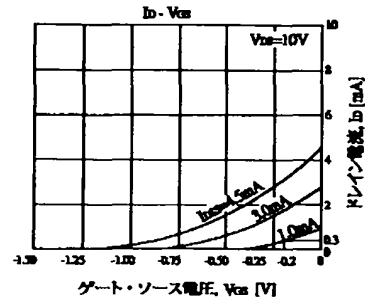


- 1:ブリッジ回路  
Ia~Id:MR素子  
2:増幅器  
3:ダーリントン接続回路  
4:定電流回路

LED1:発光ダイオード  
FET1:電界効果トランジスタ  
R1:抵抗  
VR1:可変抵抗

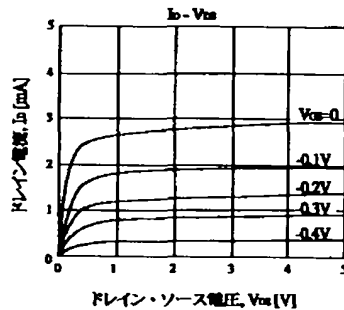
【図2】

図 2



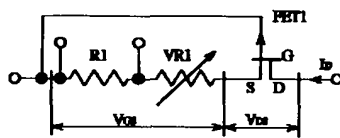
【図3】

図 3



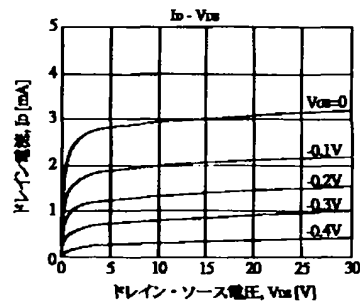
【図4】

図 4



【図5】

図 5



【図7】

図 7

Ic	-25°C	-10°C	25°C	70°C	75°C
20mA	—	154	176	201	—
10mA	—	152	176	201	—
4mA	28	136	28	192	28
0.1mA	—	93.3	122	159	—

Ic=20mA, h<sub>FE</sub>=295  
最低のh<sub>FE</sub>=160  
∴仕番最低 295/160

【図8】

図 8

Ic	-10°C	25°C	70°C
20mA	0.97	0.83	0.65
10mA	0.96	0.82	0.64
1mA	0.94	0.79	0.62

【図9】

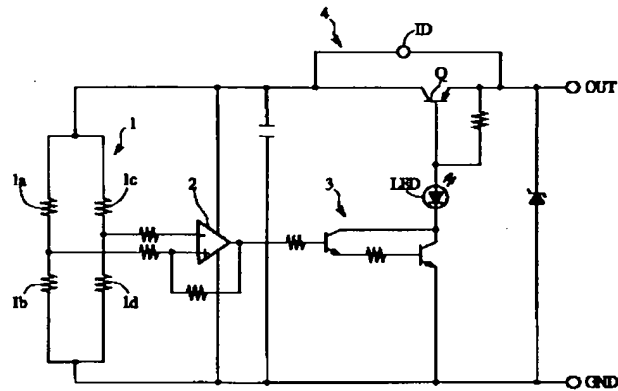
図 9

Ic	-10°C	25°C	70°C
20mA	2.23v	2.2v	2.1v
10mA	2.06	2.03	1.94
4mA	1.93	1.9	1.81



【図13】

図 13



フロントページの続き

(51)Int. Cl.<sup>7</sup>  
H03K 17/95

識別記号

F 1  
G 0 1 R 33/06

テーマコード(参考)  
R

(72)発明者 岩田 元昭  
東京都千代田区丸の内3丁目2番3号 株  
式会社コガネイ内  
(72)発明者 仲秋 喜代志  
静岡県磐田郡竜洋町宮本249番地の9 浜  
松光電株式会社内  
(72)発明者 大庭 啓史  
静岡県磐田郡竜洋町宮本249番地の9 浜  
松光電株式会社内

Fターム(参考) 2F077 AA49 CC02 JJ03 JJ09 JJ23  
TT06 TT16 TT82 TT87  
2G017 AD55 BA05 BA14  
3H081 AA03 BB01 BB03 CC25 GG05  
GG10 GG15 GG16 GG23  
5J050 AA03 AA49 CC00 DD03 DD04  
DD14 EE04 EE09 EE31 FF04  
FF23  
5J092 AA03 AA12 AA47 AA59 CA36  
CA37 CA87 CA92 FA01 FA10  
HA02 HA10 HA19 HA20 HA25  
HA29 HA44 KA01 KA12 KA47  
MA06 MA08 MA21 SA01 SA15  
TA01 TA02 VL07